

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-198215

(43)Date of publication of application : 11.07.2003

(51)Int.Cl.

H01P 3/08  
H05K 1/02  
H05K 3/28

(21)Application number : 2001-390325

(71)Applicant : SONY CORP

(22)Date of filing : 21.12.2001

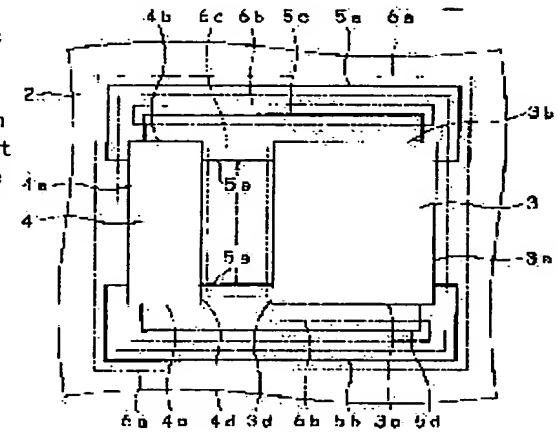
(72)Inventor : HIRABAYASHI TAKAYUKI

## (54) TRANSMISSION LINE SUBSTRATE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve signal transmission characteristics between circuit components and realize miniaturization by forming a transmission line or the line on a dielectric substrate, without forming redundant wiring.

**SOLUTION:** A plurality of circuit components 3, 4 are mounted on the dielectric substrate 2, and connected by using many transmission lines 5 different in length which are patterned and formed on the substrate 2. As to the transmission lines 5, a transmission line 5a whose line length is long is formed in a low-permittivity region 6a, and a transmission line 5e whose line-length is short is formed in a high permittivity region 6c, thereby adjusting the transmission rate of signals transmitted, without formation of redundant wiring to be nearly equal.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2003-198215  
(P2003-198215A)

(43)公開日 平成15年7月11日(2003.7.11)

(51) Int Cl. 7  
H 0 1 P 3/08  
H 0 5 K 1/02  
3/28

### 識別記号

F I  
H 0 1 P 3/08  
H 0 5 K 1/02  
3/28

テ-マコ-ト\*(参考)  
5 E 3 1 4  
5 E 3 3 8  
5 J 0 1 4

審査請求 未請求 請求項の数 6 OL (全 8 頁)

(21)出願番号 特願2001-390325(P2001-390325)

(22)出願日 平成13年12月21日(2001.12.21)

(71) 出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号

(72) 発明者 平林 崇之  
東京都品川区北品川6丁目7番35号 ソニー  
株式会社内

(74) 代理人 100067736  
弁理士 小池 晃 (外2名)

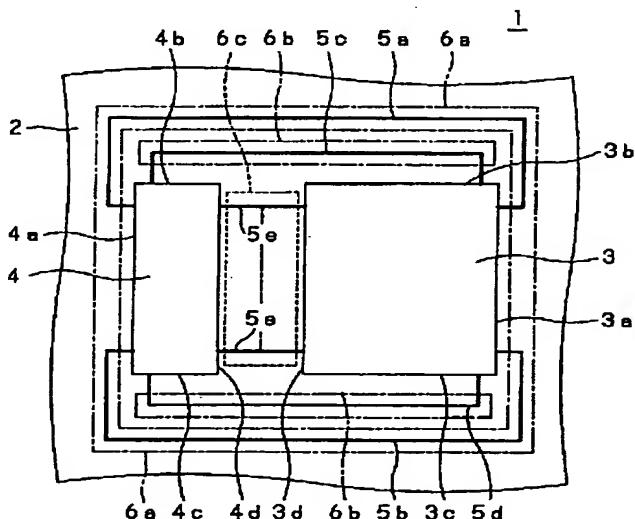
最終頁に統く

(54) [発明の名称] 伝送線路基板

(57) 【要約】

【課題】 誘電体基板上に伝送線路等を冗長配線すること無く形成し、回路部品間における信号伝達特性の向上を図り、以って小型化を図る。

【解決手段】 誘電体基板2に複数の回路部品3, 4を実装するとともに、これらが誘電体基板2にパターン形成された線路長を異にする多数の伝送線路5によって接続されてなる。伝送線路5は、線路長が長い伝送線路5aを低誘電率領域6aに形成するとともに、線路長の短い伝送線路5eを高誘電率領域6cに形成することにより冗長配線を行うことなく伝送される信号の伝送速度をほぼ同等に調整する。



## 【特許請求の範囲】

【請求項1】 誘電体基板の主面上に複数の回路部品を実装するとともに、これら回路部品が上記誘電体基板に線路長を異にしてパターン形成された多数の伝送線路により接続されてなり。

上記各伝送線路が、線路長が長い伝送線路を低誘電率領域に形成するとともに線路長の短い伝送線路を高誘電率領域に形成するように、それぞれの線路長に応じて誘電率を異なる領域に形成することにより、

上記各伝送線路の信号伝送速度が略同等となるように構成されたことを特徴とする伝送線路基板。

【請求項2】 上記低誘電率領域が線路長の長い上記伝送線路を低誘電率からなる誘電絶縁材により被覆することによって構成されるとともに、上記高誘電率領域が線路長の短い上記伝送線路を高誘電率からなる誘電絶縁材により被覆することによって構成されることを特徴とする請求項1に記載の伝送線路基板。

【請求項3】 上記誘電絶縁材に、有機誘電絶縁材、無機誘電絶縁材又は有機無機複合誘電絶縁材のいずれか1が用いられることを特徴とする請求項2に記載の伝送線路基板。

【請求項4】 上記誘電体基板の内部に空洞部を形成することによって上記低誘電率領域を構成し、上記空洞部に跨って線路長の長い上記伝送線路を形成したことを特徴とする請求項1又は請求項2のいずれか1項に記載の伝送線路基板。

【請求項5】 上記回路部品が高周波CPUやメモリからなり、上記伝送線路を介してデジタル信号が伝送されることによって高速デジタル回路を構成することを特徴とする請求項1に記載の伝送線路基板。

【請求項6】 上記回路部品がアンプの差動入出力部やダイポールアンテナの入出力部に接続されるバランからなり、上記伝送線路を介して高周波信号が伝送されることによって高周波差動回路を構成することを特徴とする請求項1に記載の伝送線路基板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、誘電体基板上に複数個の回路部品を搭載するとともに、各回路部品間が誘電体基板にパターン形成された伝送線路によって接続されて信号伝送が行われる伝送線路基板に関する。

## 【0002】

【従来の技術】 パーソナルコンピュータやモバイル機器等においては、複数個のIC素子（集積回路素子）やLSI素子（大規模集積回路素子）等の回路部品が誘電体基板上に搭載されるとともにこれら回路部品を接続する導体パターンからなる多数本の伝送線路が誘電体基板上に形成され、これら伝送線路を介して回路部品間の信号伝送が行われる伝送線路基板が備えられている。パーソナルコンピュータ等においては、搭載されるCPUのめ

ざましい高速動作化が図られており、例えば1GHzを超えるものも提供されるとともにさらなる高速動作化が図られている。

【0003】 伝送線路基板においては、回路素子等の高速動作化に伴い、動作エラーを起こさずに信号を高速で伝送するために伝送線路の構成が極めて重要となっている。例えば、図5に示した従来の伝送線路基板100は、誘電体基板101にCPU102とメモリ103とが搭載されるとともに、誘電体基板101上にこれら回路素子102、103に設けられたそれぞれの入出力部間を接続する多数本の伝送線路104（104a～104n）がパターン形成されてなる。伝送線路基板100は、CPU102とメモリ103の高速動作化に伴い、伝送線路104による信号伝送が高周波化されるようになる。

【0004】 伝送線路基板100においては、CPU102とメモリ103とを接続する各伝送線路104a～104nが、理想的には図5に示すように全て同一長さの等長配線を以って形成されることが好ましい。伝送線路基板100は、誘電体基板101上に搭載するCPU102やメモリ103が、図5に示すようにそれぞれの入出力部が対向しつつ同一間隔であるならば各伝送線路104a～104nを同一線路長で形成することが可能である。

【0005】 しかしながら、伝送線路基板100は、CPU102やメモリ103が、その外周部全てに入出力部が形成されることから、実際には各伝送線路104a～104nが配線長を異にして誘電体基板101に形成されることになる。伝送線路基板100においては、各伝送線路104a～104nが配線長を異にして形成されている場合に、それぞれに伝送される信号の伝送時間に差が生じてしまう。伝送線路基板100は、このためにタイミングのズレによる処理の誤動作や、いわゆる「ヒゲ」や「グラス」と称されるノイズ分を発生させるといった問題があった。

【0006】 また、図6に示した従来の伝送線路基板110は、誘電体基板111に高周波回路素子112とバラン113とが搭載され、これら回路部品に設けられた入出力部間を接続する平衡線路114（114a、114b）がパターン形成された高周波回路基板である。高周波回路基板110は、バラン113が、高周波回路素子112からの平衡（差動）入出力信号について差動の各信号の位相をπシフトして合成する。

## 【0007】

【発明が解決しようとする課題】 伝送線路基板や高周波回路基板においては、上述した配線長を異にする伝送線路や平衡線路に起因する問題点を解決するために種々の検討が図られている。例えば図7に示した伝送線路基板120は、上述した伝送線路基板100と同様に誘電体基板121にCPU122とメモリ123とが搭載され

るとともに、誘電体基板121にこれら回路部品122、123の相対する入出力部間を接続する多数本の伝送線路124(124a～124n)がパターン形成されてなる。伝送線路基板120においては、各伝送線路124a～124nがそれぞれの線路長をほぼ同一に形成されてなる。

【0008】すなわち、伝送線路基板120においては、CPU122やメモリ123の各辺に入出力部が設けられており、例えばそれぞれの外側の対向辺122a、123aの入出力部間の直線距離が最大であり、次に上下辺122b、123bの入出力部間の直線距離が大きく、内側の対向辺122c、123cの入出力部間の直線距離が最小となる。伝送線路基板120においては、CPU122の辺122aに設けた入出力部とメモリ123の辺123aに設けた入出力部間とを接続する第1の伝送線路124aを基準として、上下辺122b、123bの入出力部間を接続する第2の伝送線路124bや対向辺122c、123cの入出力部間を接続する第3の伝送線路124cがそれぞれの線路長を一致されるように誘電体基板121にパターン形成されてなる。

【0009】すなわち、第2の伝送線路124bには、その一部に屈折部位125aを形成することによって、その線路長が第1の伝送線路124aの線路長とほぼ同長とされてなる。また、第3の伝送線路124cは、多数の折返し部位125bを形成したいわゆるミアンダパターンとされることによって、その線路長が第1の伝送線路124aや第2の伝送線路124bとほぼ同長とされてなる。

【0010】一方、上述した高周波回路基板110においても、高周波回路素子112とバラン113との直線距離が短い第1の平衡線路114aについて、図6鎖線で示すようにその一部に折返し部位116を形成することにより第2の平衡線路114bとほぼ等しい線路長に形成する対応が図られる。

【0011】しかしながら、かかる伝送線路基板120や高周波回路基板110は、直線距離の短い伝送線路124b、124cや平衡線路114aにわざわざ屈折部位125a、125bや折返し部位116を形成して等長配線化を図ることから、線路長が大きくなっている冗長配線構造となる。伝送線路基板等においては、配線の高密度化による小型化が追求されており、上述した冗長配線構造の採用は実用的では無い。また、伝送線路基板等においては、伝送線路の線路長が大きくなることによってインピーダンス成分が増加し高周波信号の伝送効率が劣化するといった問題があるばかりでなく、電磁ノイズを放射したり受けたりしやすくなるため電磁整合特性(EMC:electromagnetic compatibility)や電磁妨害雑音特性(EMI:electromagnetic interference)が劣化するといった問題がある。

【0012】また、かかる高周波回路基板110においては、各平衡線路114a、114bが線路長を異にして形成されていると、それぞれに伝送される高周波信号の位相シフトがπからずれてしまう。このため、高周波回路基板110は、変換後の高周波信号のロスが大きくなるといった問題がある。

【0013】伝送線路基板120等においては、回路部品や回路素子等の多機能化、高機能化が図られることにより入出力端子の数も多くかつ高密度に設けられている。したがって、伝送線路基板120等においては、上述した対応を図ることが極めて困難であるとともに冗長配線も複雑かつより長くなり、大型化或いは特性劣化等の問題がさらに大きい。

【0014】したがって、本発明は、誘電体基板上に伝送線路等を冗長配線すること無く形成し、回路部品間等における信号伝達特性の向上を図り、以って小型化を図った伝送線路基板を提供することを目的に提案されたものである。

【0015】

20 【課題を解決するための手段】上述した目的を達成する本発明にかかる伝送線路基板は、誘電体基板に複数の回路部品を実装するとともに、これら回路部品が誘電体基板にパターン形成された線路長を異にする多数の伝送線路によって接続されてなる。伝送線路基板は、各伝送線路が、線路長が長い伝送線路を低誘電率領域に形成するとともに、線路長の短い伝送線路を高誘電率領域に形成するよう、それぞれの線路長に応じて誘電率を異にする領域に形成されてなる。

【0016】以上のように構成された本発明にかかる伝送線路基板によれば、誘電体基板に形成された伝送線路が誘電体基板の誘電率が大きくなるにしたがって伝送線路を伝送する信号の伝送速度が遅くなる特性を有することから、低誘電率領域に形成された線路長が長い伝送線路の信号伝送速度と高誘電率領域に形成された線路長の短い伝送線路の信号伝送速度とがそれぞれ略同等となる。したがって、伝送線路基板によれば、誘電体基板上に伝送線路を冗長配線することなく自由に形成することが可能となり、小型化が図られるとともに信号伝達特性の向上が図られるようになる。

40 【0017】

【発明の実施の形態】以下、図面に示した本発明の実施の形態について詳細について説明する。第1の実施の形態として図1及び図2に示した伝送線路基板1は、例えばモバイル機器等の無線通信機能を備える通信端末機器に搭載される。伝送線路基板1は、誘電体基板2に形成された図示しないランド上に入出力端子をそれぞれ接続されてCPU3やメモリ4とが搭載されるとともに、これらCPU3やメモリ4の相対する入出力部間を接続する多数本の伝送線路5がパターン形成されてなる。伝送線路基板1は、高速動作化が図られたCPU3とメモリ

4との間で、伝送線路5を介して高周波信号が高速伝送されて所定の処理が行われるようにする。なお、伝送線路基板1には、図示しないが誘電体基板2の主面上にCPU3やメモリ4ばかりでなく適宜の回路素子も実装されるとともに素子パターン等も形成されている。

【0018】CPU3やメモリ4は、詳細を省略するがそれぞれの各辺3a～3d、4a～4dに入出力部が設けられており、相対する入出力端子間を伝送線路5によって接続されている。CPU3とメモリ4は、外側の対向辺3a、4aの入出力部間の直線距離が最大であり、線路長が最大となる第1の伝送線路5a及び第2の伝送線路5bによって接続される。CPU3とメモリ4は、上下辺3b、3cと上下辺4b、4cの入出力部間の直線距離がやや短く、それぞれ第3の伝送線路5c及び第4の伝送線路5dによって接続される。CPU3とメモリ4は、内側の対向辺3d、4dの入出力部間の直線距離が最小であり、線路長が最小となる第6の伝送線路5eによって接続される。

【0019】勿論、CPU3やメモリ4は、各辺3a～3d、4a～4dに多数個の入出力端子が形成されており、各辺3a～3d、4a～4dの入出力部を接続する伝送線路5a～5eが多数本からなる。伝送線路5a～5eは、詳細には各辺3a～3d、4a～4dの同一辺間の入出力部間を接続する伝送線路であってもそれぞれの線路長を異にしているが、説明の便宜上略同長とみなすものとする。

【0020】誘電体基板2は、低誘電率で低T<sub>a n δ</sub>の特性、すなわち高周波特性に優れた誘電絶縁材によって所定の厚みを有して形成されている。誘電体基板2は、具体例として例えばポリフェニレンエーテル(PP-E)、ビスマレイドトリアジン(BT-resin)、ポリテトラフルオロエチレン(商標名テフロン)、ポリイミド、液晶ポリマ(LCP)、ポリノルボルネン(PNB)、ポリオレフィン樹脂、フェノール樹脂等の樹脂材からなる有機基材によって形成される。また、誘電体基板2は、例えばセラミック等の無機基材或いは無機基材とガラスエポキシ等の有機基材との混合体によって形成される。

【0021】誘電体基板2には、従来一般に行われているパターン形成法により、各伝送線路5や多数個のランド或いはスルーホールの形成が行われる。誘電体基板2は、必要に応じて内層に配線パターンやグランドパターン等を形成した多層構造によって構成してもよく、また両面基板で構成してもよいことは勿論である。誘電体基板2は、全面に銅箔等が接合されたベース基材にドリルやレーザによる穿孔加工を施して多数個の貫通孔が形成され、この貫通孔の内壁にメッキ等により導通処理を施した後に導電ペーストを埋め込みかつメッキ等により蓋形成を行ってスルーホールが形成される。誘電体基板2は、銅箔層に対してフォトリソグラフィ処理を施した後

に湿式エッティング処理を施して不要な銅箔を除去することによりバーニングが行われる。勿論、誘電体基板2は、その他適宜な方法によって各伝送線路5等のバーニングが行われる。

【0022】伝送線路基板1においては、詳細を後述するように上述した各伝送線路5が、誘電体基板2に対してそれぞれ誘電率 $\epsilon$ を異にした第1のパターン形成領域6a乃至第3のパターン形成領域6cにパターン形成されている。伝送線路基板1においては、第1のパターン形成領域6a(図1において1点鎖線で囲んだ領域)の誘電率 $\epsilon_1$ が第2のパターン形成領域6b(同図において2点鎖線で囲んだ領域)の誘電率 $\epsilon_2$ よりも小さく、第2のパターン形成領域6bの誘電率 $\epsilon_2$ が第3のパターン形成領域6c(同図において点線で囲んだ領域)の誘電率 $\epsilon_3$ よりも小さく構成されている。

【0023】ところで、伝送線路5を伝播する正弦波の位相速度 $v_p$ は、

$$v_p = 2\pi f / k_z \dots \text{式1}$$

但し、 $k_z$ ：位相定数(伝播定数の虚数項)、 $f$ ：周波数で表される。

【0024】正弦波について、真空中を伝播する位相速度 $v_{p0}$ 、位相定数を $k_{z0}$ とし、波長を $\lambda_0$ とするとき、式1から

$$v_{p0} = 2\pi f / k_{z0} = f \lambda_0 \dots \text{式2}$$

となる。

【0025】位相定数 $k_z$ は、伝送線路が、誘電率 $\epsilon_r$ の誘電体基板上にマイクロストリップ線路で形成されている場合に、

$$k_z = \sqrt{\epsilon_r} \times k_{z0} \dots \text{式3}$$

となる。

【0026】ここで、 $\epsilon_r$ は、実効誘電率であり、マイクロストリップ線路が形成される誘電体基板と空気との電界分布により決まる充填率 $q$ を用いると、

$$\epsilon_r = 1 + q (\epsilon_w - 1) \dots \text{式4}$$

で表される。ストリップ線路は、電界が全て誘電体に存在し、 $q = 1$ であるから、式4より $\epsilon_r = \epsilon_w$ となる。

【0027】誘電率 $\epsilon_r$ の誘電体基板上にマイクロストリップ線路で形成された伝送線路の位相速度 $v_p$ は、式1乃至式4から、

$$v_p = 2\pi f / k_z = f \lambda$$

$$v_p = 2\pi f / (\sqrt{\epsilon_r} \times k_{z0}) = f \lambda$$

$$v_p = v_{p0} / \sqrt{\epsilon_r} = f \lambda_0 / \sqrt{\epsilon_r} \dots \text{式5}$$

となる。

【0028】したがって、誘電体基板上に形成された伝送線路は、式5から明らかのように誘電率が大きくなるにしたがって、信号の伝播速度が次第に遅くなる特性を有している。伝送線路基板1においては、伝送線路5を介してCPU3とメモリ4との間を伝送される信号が当然デジタル変調信号であるが、様々な高周波正弦波の集合体からなる電気信号と見なすことができる。

【0029】伝送線路基板1においては、上述したように線路長が最大の第1の伝送線路5aと第2の伝送線路5bとが低誘電率 $\epsilon_1$ の第1のパターン形成領域6aに形成され、第3の伝送線路5cと第4の伝送線路5dとが中誘電率 $\epsilon_2$ の第2のパターン形成領域6bに形成され、さらに線路長が最小となる第6の伝送線路5eが高誘電率 $\epsilon_3$ の第3のパターン形成領域6cに形成されている。伝送線路基板1においては、かかる構成によってCPU3とメモリ4間を接続する各伝送線路5がそれぞれ線路長を異にしているが、誘電率 $\epsilon$ を異にした各パターン形成領域に形成されることによって伝送される高周波信号の伝送速度が調整されてあたかも擬似的に等長の伝送線路を構成する。

【0030】したがって、伝送線路基板1においては、各伝送線路5を伝送される高周波信号の伝送時間差が抑制され、タイミングのズレによる処理の誤動作や、いわゆる「ヒゲ」や「グラス」と称されるノイズ分の発生が抑制されて精度の向上が図られる。また、伝送線路基板1においては、CPU3とメモリ4間を接続する各伝送線路5が最短で形成されることから、誘電基板2の小型化が図られるとともに各伝送線路5のパターンの簡易化或いは高密度化を図ることが可能となる。さらに、伝送線路基板1においては、各伝送線路5の短縮化により、電磁ノイズの放射や吸収も低減され、電磁整合特性や電磁妨害雑音特性の向上が図られるようになる。

【0031】伝送線路基板10においては、上述した伝送線路の線路長と誘電体基板の誘電率とに基づいて、各伝送線路5の線路長とパターン形成領域6の誘電率とをファクタとしてシミュレーションを行って最適となるようにパターン形成領域6の誘電率が設定される。勿論、伝送線路基板10においては、全ての各伝送線路5について、伝送速度が同一となるようにパターン形成領域6の誘電率を精密に決定する必要は無く、ある程度の許容範囲でグループ化等することによってパターン形成領域6を形成するようにしてもよい。

【0032】伝送線路基板1は、上述した第1のパターン形成領域6a乃至第3のパターン形成領域6cが種々の方法によって形成される。例えば図2に示した伝送線路基板10は、誘電体基板11の主面上にそれぞれ線路長を異にして複数組の伝送線路12～15がパターン形成される。伝送線路基板10は、第1の伝送線路12の線路長が最大であり、第2の伝送路13から第4の伝送路15にしたがってそれぞれの線路長が次第に短くなっている。第1の伝送線路12乃至第5の伝送線路15は、同図に示すようにそれぞれ第1の誘電絶縁層16乃至第5の誘電絶縁層19によって被覆されている。

【0033】第1の誘電絶縁層16乃至第5の誘電絶縁層19は、それぞれ誘電率 $\epsilon$ を異なる誘電絶縁材によって形成される。誘電絶縁層は、第1の誘電絶縁層16が第2の誘電絶縁層17よりも低誘電率の誘電絶縁材に

よって形成され、第2の誘電絶縁層17が第3の誘電絶縁層18よりも低誘電率の誘電絶縁材によって形成され、第3の誘電絶縁層18が第4の誘電絶縁層19よりも低誘電率の誘電絶縁材によって形成されている。第1の誘電絶縁層16乃至第5の誘電絶縁層19は、それぞれの誘電率 $\epsilon$ が各伝送線路12～15の線路長の差異による高周波信号の伝送時間の差を補正するように規定されてなる。

【0034】伝送線路基板10においては、図2に示すように誘電体基板11の内層に空洞部20を形成することにより誘電率 $\epsilon$ を異にしたパターン形成領域を構成するようにもよい。伝送線路基板10は、パターン形成領域が空洞部20によって低誘電率領域となり、この空洞部20に跨って形成された線路長が大きな伝送線路16を伝送される高周波信号の伝送速度が他のパターン形成領域に形成された伝送線路17～19を伝送される高周波信号の伝送速度よりも速くなる。

【0035】上述した第1の誘電絶縁層16乃至第5の誘電絶縁層19は、例えば図3に示すように誘電体基板21上に各伝送線路12～15をパターン形成した後に、全面に亘って誘電絶縁材が塗布されて誘電絶縁層21が成膜形成される。誘電絶縁層21は、第3の伝送線路14を被覆する第3の誘電絶縁層18を形成する例えば感光性の誘電絶縁材からなる。誘電絶縁層21には、同図(A)に示すように第3の伝送線路14の形成領域に対向して遮光マスク22が配置され、露光・現像処理が施される。誘電絶縁層21は、同図(B)に示すように露光部位が除去されるとともに未露光部位が残されて第3の伝送線路14を被覆する第3の誘電絶縁層18を形成する。伝送線路基板10は、以下同様の方法によって誘電率 $\epsilon$ を異なる誘電絶縁材を用いて各伝送線路12～15を被覆する第1の誘電絶縁層16乃至第5の誘電絶縁層19が形成される。

【0036】なお、誘電絶縁層21については、上述した感光性の誘電絶縁材ばかりでなく他の材料、例えばレジスト材が用いられ、所定領域をマスキングした状態でエッチング法によって不要部位を除去して各伝送線路12～15を被覆する第1の誘電絶縁層16乃至第5の誘電絶縁層19を形成するようにもよい。また、各マスキング誘電絶縁層16～19は、例えばシルクスクリーン印刷法等によって形成することも可能である。

【0037】伝送線路基板1は、上述したように誘電体基板2に各伝送線路5をパターン形成したが、例えば銅張り有機基板からなり配線層が多層形成されるとともに最上層に平坦化処理を施してなるベース基板部と、このベース基板部上に積層形成された高周波回路部とからなる通信モジュール基板に内蔵するようにもよい。通信モジュール基板は、ベース基板部に電源回路や制御回路が形成されるとともに、高周波回路部にBPF回路や高周波信号回路或いは処理回路が形成されている。

【0038】通信モジュール基板は、ベース基板部に電源回路やグランドが充分な面積を以って形成することができる各回路部に対してレギュレーションの高い電源供給を行うことが可能である。また、通信モジュール基板は、ベース基板部と高周波回路部との電気的分離が図られて相互の干渉の発生が抑制された構成であることから、特性の向上が図られている。通信モジュール基板は、比較的廉価な有機基板をベースとしてその最上層に平坦化処理を施した状態で絶縁誘電体層が積層形成される。通信モジュール基板は、絶縁誘電体層に薄膜技術により適宜の伝送線路やインダクタ素子、キャパシタ素子或いはレジスタ素子等の受動態素子が成膜形成される。したがって、通信モジュール基板には、各伝送線路を高精度にかつ高密度化して形成することが可能となる。

【0039】第2の実施の形態として図4に示した高周波回路基板30は、誘電体基板31に高周波回路素子32とバラン33とが搭載され、これら高周波回路素子32とバラン33とにそれぞれ設けられた入出力部間を接続する第1の平衡線路34と第2の平衡線路35とがパターン形成されてなる。高周波回路基板30は、バラン33が、高周波回路素子32からの平衡(差動)入出力信号について差動の各信号の位相をπシフトして合成する。

【0040】高周波回路基板30は、誘電体基板31が上述した伝送線路基板1の誘電体基板2と同様の誘電絶縁材によって所定の厚みを有して形成されている。高周波回路基板30は、第1の平衡線路34が第2の平衡線路35に対して短い線路長を以って形成されている。高周波回路基板30は、第1の平衡線路34と第2の平衡線路35とが、誘電体基板31に対してそれぞれ誘電率 $\epsilon$ を異にした第1のパターン形成領域37(図4において1点鎖線で囲んだ領域)と第2のパターン形成領域38(同図において2点鎖線で囲んだ領域)にパターン形成されている。高周波回路基板30においては、第1のパターン形成領域37の誘電率 $\epsilon$ が第2のパターン形成領域38の誘電率 $\epsilon$ よりも大きく構成されている。

【0041】なお、高周波回路基板30は、誘電体基板31上に複数個の高周波回路素子32とバラン33とを実装し、それぞれ異なる線路長を有する平衡線路で接続される場合にも適用される。また、高周波回路素子32については、ダイポールアンテナとすることも可能である。

【0042】以上のように構成された高周波回路基板30においては、上述した伝送線路の線路長と誘電体基板の誘電率とによる伝送速度特性によって、第1の平衡線路34と第2の平衡線路35とを伝送される高周波信号の伝送速度が調整されてあたかも擬似的に等長の伝送線路を構成する。したがって、高周波回路基板30においては、高周波信号の位相シフトがπからずれるといった

不都合の発生が抑制されるとともに、変換後の高周波信号のロスも無く特性の向上が図られるようになる。また、高周波回路基板30においては、第1の平衡線路34の冗長配線による誘電体基板31の大型化も抑制されることで、小型化が図られるとともに各平衡線路34、35のパターンの簡易化或いは高密度化を図ることが可能となる。さらに、高周波回路基板30においては、各平衡線路34、35の短縮化によって電磁ノイズの放射や吸収も低減され、電磁整合特性や電磁妨害雑音特性の向上が図られるようになる。

#### 【0043】

【発明の効果】以上詳細に説明したように本発明にかかる伝送線路基板によれば、線路長が長い伝送線路を低誘電率領域に形成するとともに線路長の短い伝送線路を高誘電率領域に形成することによってこれら伝送線路を伝送される信号の伝送速度がほぼ同等に調整されるようになることから、誘電体基板上に伝送線路を冗長配線することなく自由な配線パターンを以って高密度に形成することが可能となり、小型化が図られるとともに電磁整合特性や電磁妨害雑音特性の向上或いはインダクタンス成分の低減により信号伝達特性の向上が図られるようになる。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態として示す伝送線路基板の要部平面図である。

【図2】伝送線路基板に形成される伝送線路の構成を説明する要部縦断面図である。

【図3】同伝送線路を被覆する誘電絶縁層の形成工程の説明図である。

【図4】バランを有する高周波回路基板の要部平面図である。

【図5】従来の伝送線路基板の要部平面図である。

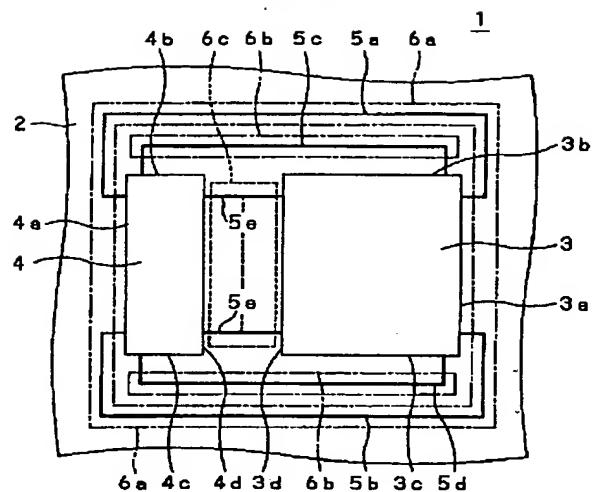
【図6】従来の高周波回路基板の要部平面図である。

【図7】冗長配線化により信号伝送速度の調整を図った伝送線路基板の要部平面図である。

#### 【符号の説明】

- 1 伝送線路基板、2 誘電体基板、3 CPU、4 メモリ、5 伝送線路、6 パターン形成領域、10 伝送線路基板、11 誘電体基板、12 第1の伝送線路、13 第2の伝送線路、14 第3の伝送線路、15 第4の伝送線路、16 第1の誘電絶縁層、17 第2の誘電絶縁層、18 第3の誘電絶縁層、19 第4の誘電絶縁層、20 空洞部、21 誘電絶縁層、22 マスク、30 高周波回路基板、31 誘電体基板、32 高周波回路素子、33 バラン、34 第1の平衡線路、35 第2の平衡線路、36 入出力端子、37 第1のパターン形成領域、38 第2のパターン形成領域

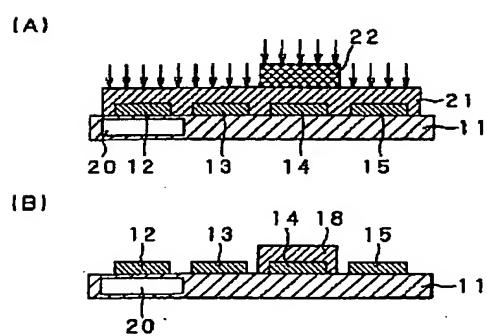
【図1】



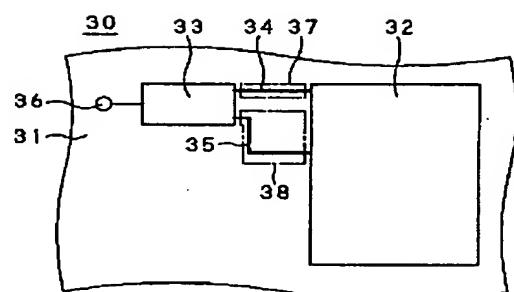
【図2】



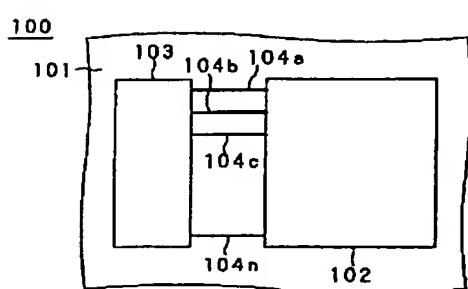
【図3】



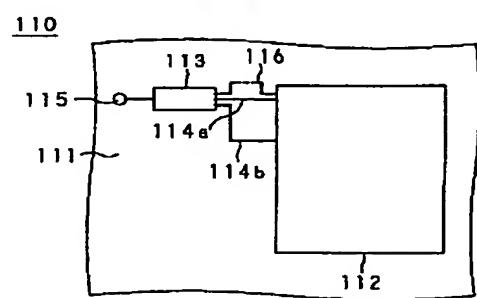
【図4】



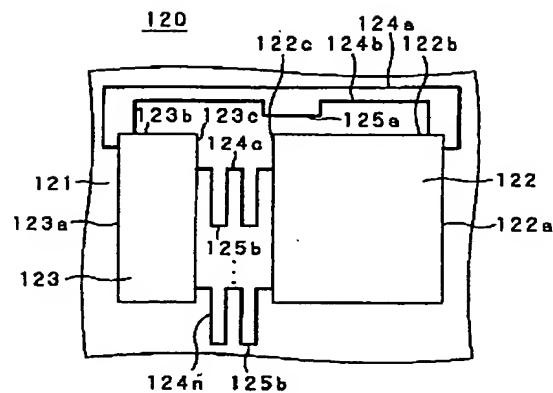
【図5】



【図6】



【図7】



---

フロントページの続き

Fターム(参考) 5E314 AA24 AA31 AA32 BB06 BB11  
CC01 CC07 DD07 FF05 FF16  
GG26  
5E338 AA16 BB63 BB80 CC01 CD12  
EE11  
5J014 CA06 CA07